

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07050362 A**

(43) Date of publication of application: 21.02.95

(51) Int. Cl. H01L 23/12
H01L 23/04
H01L 23/12
H01L 23/50

(21) Application number: 04256672

(22) Date of filing: 25.09.92

(71) Applicant: **NEC CORP**

(72) Inventor: KAMIMURA KAZUYOSHI
TAWARA KAZUHIRO
YOSHIDA SADAYOSHI
UMEMOTO TAKESHI
MIYA TATSUYA

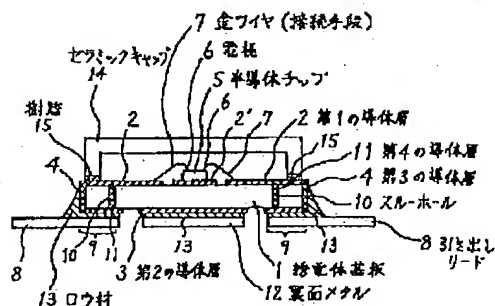
(54) SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To provide a semiconductor device which can be stably operated even at the high frequencies exceeding 10 GHz using the semiconductor device on which a high frequency semiconductor chip is mounted.

CONSTITUTION: The first conductive layer 2 is formed on the surface of a dielectric substrate 1, the second conductive layer 3 is formed on the rear of the substrate 1, the third conductive layer 4 is formed on the side face of the substrate 1, the prescribed number of through holes 10 are formed on the dielectric substrate 1, and the fourth conductive layer 11 is formed in the through holes. The first conductive layer 2, which transmits high frequency waves, is electrically connected to the second conductive layer 3 by the third conductive layer 4 and the fourth conductive layer 11. By the presence of the fourth conductive layer 11, the stub circuit of a brazed and soldered part 9 is cancelled, and the mismatching of impedance in a high frequency zone can be prevented.



特開平7-50362

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
23/04	F			
23/12	3 0 1 Z			
23/50	L			
H 0 1 L 23/ 12				
審査請求 未請求 請求項の数1 O L (全 7 頁)				

(21) 出願番号 特願平4-256672
 (22) 出願日 平成4年(1992)9月25日

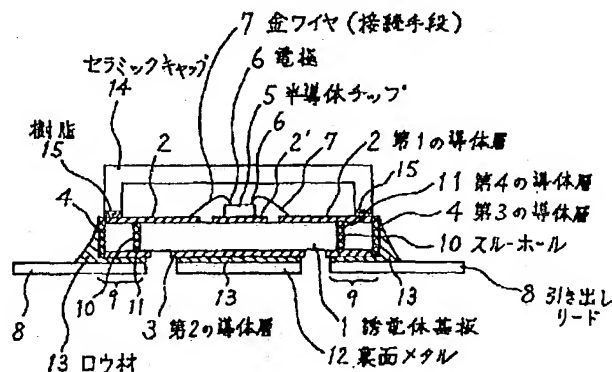
(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72) 発明者 上村 和義
 東京都港区芝五丁目7番1号日本電気株式
 会社内
 (72) 発明者 田原 和弘
 東京都港区芝五丁目7番1号日本電気株式
 会社内
 (72) 発明者 吉田 貞義
 東京都港区芝五丁目7番1号日本電気株式
 会社内
 (74) 代理人 弁理士 京本 直樹 (外2名)
 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】高周波用半導体チップを実装した半導体装置の構造で10GHzを越える様な高周波数動作においても安定な動作が可能な半導体装置を提供する。

【構成】誘電体基板1の表面に第1の導体層2を、裏面に第2の導体層3を、側面に第3の導体層4を形成しかつ誘電体基板1に所定個のスルーホール10を形成し、そのスルーホールに第4の導体層11を形成し、高周波を伝送する第1の導体層は、第3の導体層4と第4の導体層11の両者にて第2の導体層3に電気的に接続されている。第4の導体層11の存在により、ロウ付け部9のスタブ回路が打ち消され、高周波帯域でのインピーダンスの不整合を回避できる。



【特許請求の範囲】

【請求項1】 誘電体基板の一主面上に形成された第1の導体層と、前記誘電体基板の他の主面上に形成された第2の導体層と、前記誘電体基板の側面に形成された第3の導体層と、前記誘電体基板を貫通するスルーホールと、前記スルーホール中に形成された第4の導体層と、前記誘電体基板の一主面上に搭載された半導体チップと、前記第1の導体層と前記半導体チップの電極とをつなぐ接続手段と、前記第2の導体層にロウ付けされた外部引き出し用の導体リードとを有し、前記誘電体基板の一主面上で前記第1の導体層に前記第3の導体層と前記第4の導体層が接続され、前記誘電体基板の他の主面上で前記第2の導体層に前記第1の導体層と前記第3の導体層が接続され、前記第2の導体層と前記外部引き出し用の導体リードとが接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高周波用半導体装置に関し、特に高周波帯域まで対応できる容器を有する半導体装置に関する。

【0002】

【従来の技術】 衛星放送等の普及に伴い、10GHzを越える周波数帯域を使用する半導体装置が民生化され、高周波帯での半導体装置の小型化、表面実装化、低価格化の要求が強まってきているが、この種の半導体装置を実現するために、半導体チップを搭載する高周波帯域で使用可能な、小型で低価格かつシステムの組立自動化のための表面実装タイプの半導体チップ実装用の容器が必要となる。

【0003】 従来この種の小型、表面実装型の半導体容器及び、半導体装置の構造として特公昭52-20230号公報に提案されている半導体装置がある。図8は同公報の半導体装置を示している。すなわち誘電体基板1の表面に形成された第1の導体層2と誘電体基板1の裏面に形成された第2の導体層3と誘電体基板1の側面に形成された第3の導体層4と、少なくとも一つの第1の導体層2に搭載された半導体チップ5と、半導体チップ5の電極6と他の第1の導体層2'とを電気的につなぐ接続手段7と第2の導体層3にロウ材13によりロウ付けされた外部取出し用導体リード8を含み、第1の導体層2と第2の導体層3をつなぐ所定個の第3の導体層4を有し、誘電体基板1の表面上より透視的にみて、第1の導体層2と第2の導体層3がそれぞれ誘電体基板1の表裏で占有するところの領域が互いに重複しない構造をもつ。しかるにこの従来の半導体装置は、第2の導体層3に導体リード8をロウ付けするためのロウ付け部9が必ず存在し、実用上のリード強度を確保するためには、このロウ付け部9をある程度大きくする必要があった。例えば、厚さ0.2mm程度、幅0.4mm程度の外部

引き出し用導体リードを上記従来の半導体装置に適用し、導体リードの90°方向引っ張り強度を0.5kg以上確保するには、少なくとも、0.8mm程度以上のロウ付け部長さが必要である。

【0004】 このリードロウ付け部9は、この半導体装置が、他の半導体装置に実装される場合、例えば裏面が接地パターンとしたテフロン等の実装基板に実装された場合リードロウ付け部9と実装基板の裏面パターンとの間に容量が形成されるため、このリードロウ付け部9はオープンスタブ回路として働くことになる。このオープンスタブ回路は、半導体チップと外部回路をつなぐ高周波伝送線路の間に挿入された形となり、このタイプの半導体装置の使用周波数が高くなるほど、このオープンスタブ回路の影響により、半導体チップと、外部回路との間にインピーダンスの不整合が生ずることになる。

【0005】 又、オープンスタブ回路を回避する従来の表面実装型の半導体装置の構造を図9に示す。スルーホールとスルーホールに形成した第4の導体層のみで第1の導体層と第2の導体層を接続する方法が考えられるが、容器部のスルー特性がよくないという欠点があった。

【0006】

【発明が解決しようとする課題】 以上の説明の様に、特公昭52-20230号公報に示される従来の半導体装置では、外部回路との接続部に、オープンスタブ回路を形成してしまい、高い周波数において、インピーダンスの不整合を生じてしまうという欠点があった。

【0007】 また、スルーホールを形成して、基板側面に導電層を形成しない構造では容器部のスルー特性がよくないという欠点があった。

【0008】

【課題を解決するための手段】 本発明によれば、誘電体基板の一主面上に形成された第1の導体層と、誘電体基板の他の主面に形成された第2の導体層と、誘電体基板の側面に形成された第3の導体層と、誘電体基板を貫通するスルーホールと、スルーホール中に形成された第4の導体層と、誘電体基板の一主面上に搭載された半導体チップと、第1の導体層と半導体チップの電極とをつなぐ接続手段と、第2の導体層にロウ付けされた外部引き出し用の導体リードとを有し、誘電体基板の一主面上で第1の導体層に第3の導体層と第4の導体層が接続され、誘電体基板の他の主面上で第2の導体層に第1の導体層と第3の導体層が接続され、第2の導体層と外部引き出し用の導体リードとが接続されている半導体装置が得られる。

【0009】

【作用】 本発明の半導体装置は、高周波伝送に使用する誘電体基板の表面の第1の導体層とその誘電体基板の裏面の第2の導体層とを電気的に接続する手段として誘電体基板の側面に形成した、第3の導体層と、誘電体基板

に形成されたスルーホールに形成した第4の導体層の両者により接続するという特徴を持つ。

【0010】従来の半導体装置に存在したオープンスタブ回路の先端に近い場所にスルーホールと、スルーホールに形成した第4の導体層により電氣的に接続することによりオープンスタブとしての効果を打ち消し、容器によるインピーダンスの不整合を防止できる。

【0011】図10に導体層の抵抗とインダクタンスを表わすモデル図を示す。(a)は従来構造の第1の例。

(b)は従来構造の第2の例、(c)は本発明による第1の実施例をそれぞれ表す。本発明によれば、抵抗成分及びインダクタンス成分を並列に接続した構造となり、従来の直列型とは全く異なる飛躍的な特性の改善を得ることができる。

【0012】

【実施例】以下図面に従って、本発明の半導体装置を説明する。

【0013】図1は、本発明による半導体装置の第1の実施例であり、厚さ0.4mm程度のアルミナ等の誘電体基板1の表面に形成された第1の導体層2と誘電体基板1の裏面に形成された第2の導体層3と、誘電体基板1の側面に形成された第3の導体層4と、誘電体基板1に形成されたスルーホール10とスルーホール10に穴うめされた第4の導体層11とを有する。第4の導体層11はスルーホール10に穴うめされても、スルーホールの壁面に形成されるのでもよい。第1の導体層2は、第3の導体層4と、第4の導体層11の両者により第2の導体層3に電氣的に接続されている誘電体基板の表面には、他の第1の導体層2'が形成されており、そこにGaAs IC等の半導体チップ5がAuSn等のろう材によりろう付けされている。半導体チップ5の電極6と、第1の導体層2とは金ワイヤ等の接続手段7により電氣的に接続されている。第2の導体層には、外部引き出しリード8及び接地用裏面メタル12が銀ろう等ろう材13によりろう付されている。又、誘電体基板1には、セラミックキャップ14が樹脂15により接着されている。

【0014】図2は、本発明の第2の実施例を示す断面図であり、図7はその一部平面図である。基本的構成は第1の実施例と同様である。本実施例では第1の導体層2と、第2の導体層3をつなぐスルーホールが2つありこのスルーホール10、10'に各々第4の導体層11と11'が形成されている。本実施例ではスルーホールに形成された第4の導体層のインダクタンス成分をさらに低減できるという効果がある。

【0015】製造方法としては、まず、図3に示す未焼結アルミナテープ(グリーンテープ)に所定の金型によりスルーホール部及び側面メタル(第3の導体層)形成部を打ち抜く(スルーホール部は図中に不記)。ここで本実施例では、誘電体基板を複数個取りとし、かつ、側

面メタル形成部16も、最初スルーホール同様円形に打ち抜く。その後、導体(タングステン等)印刷(第1、第2の導体層)及びスルーホールメタル形成(第3、第4の導体層)を行ない、その後、絶縁層印刷を行なう。本実施例ではソルダーダム及びキャップ封着部に絶縁層印刷を行なっている。その後金型により、切断溝17を形成し、約1600℃の温度で焼成する。焼成された複数個取り、基板は上記切断溝で切断し個片に切断しNiメッキを施す切断により、側メタ部は、半円又は1/4円として形成される。個片基板は、Au-Cu等によりリードフレームに接合する。その後Au等の仕上げメッキを施し完成する(図4、5、6参照)。図4はスルーホールの位置を上面から見た平面図であり、図5は下面図である。図4及び図5には長さ(単位:mm)が記入されている。図中の長さ通りであることが好ましいが全ての±10%程度変化させても良い。

【0016】

【発明の効果】以上説明した様に、本発明の半導体装置では、外部引き出し用の導体リードのろう付け部のほぼ先端に近い部分にスルーホールが形成され、スルーホールに形成された第4の導体層と、誘電体基板の側面に形成された第3の導体層の両者により、第1の導体層2と、第2の導体層を電氣的に接続されている。第4の導体層による接続により導体リードろう付け部の部分はオープンスタブとしては作用せず、高周波帯域における半導体チップと、外部回路との接続の不整合を抑制できる。

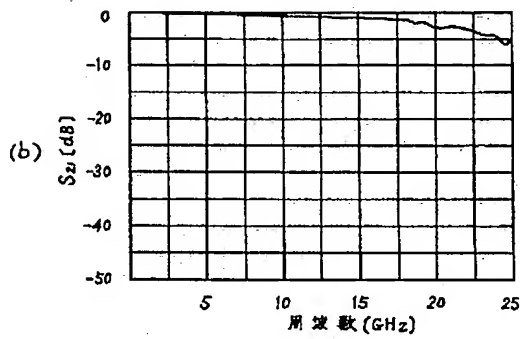
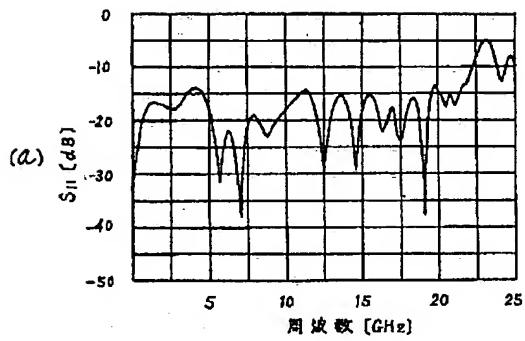
【0017】図11(a)、(b)は、本発明の第1の実施例の容器部分におけるスルー特性を反射損(S_{11})と、挿入損(S_{21})によりそれぞれ表わしたものであり、おおよそ20GHzまで、反射損(S_{11})を-15dB程度以下に確保できるのがわかる。

【0018】図12(a)、(b)は従来構造の容器部と、本発明の構造の容器部を簡単なモデルにより従来構造の欠点と本発明の効果を確認したもので半導体チップから外部引き出しリードまでのスルー特性を反射損(S_{11})と挿入損(S_{21})によりそれぞれ表現している。ここに実線は本発明の構造モデル、破線は従来の第1の例の構造モデルの特性である。図12(a)が示す様に、従来の第1の例の構造モデルでは周波数15GHz以上で反射損(S_{11})が悪くなりはじめ30GHz付近で共振をもっている。これに対し本発明の構造モデルでは、周波数40GHzまで共振はなく、反射損(S_{11})も従来に比べ12GHz以上で改善されている。

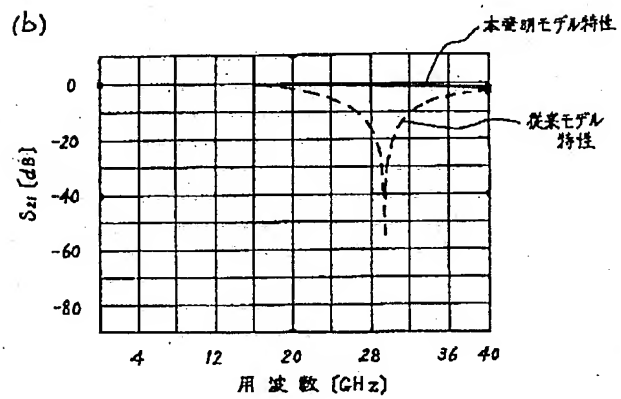
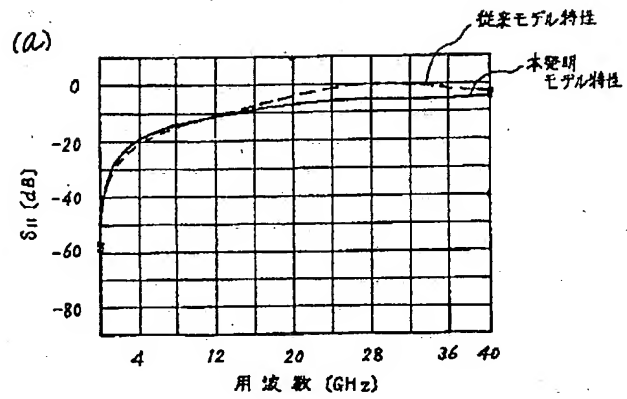
【0019】又、オープンスタブ回路を回避する図9の様な表面実装型の半導体装置の構造として、スルーホールと、スルーホールに形成した第4の導体層のみで第1の導体層と第2の導体層を接続する従来構造の第2の例が考えられるが、図13(a)、(b)で反射損

(S_{11})と挿入損(S_{21})に分けて容器部のスルー特性を比較した実測データに示す様に、やはり本発明による

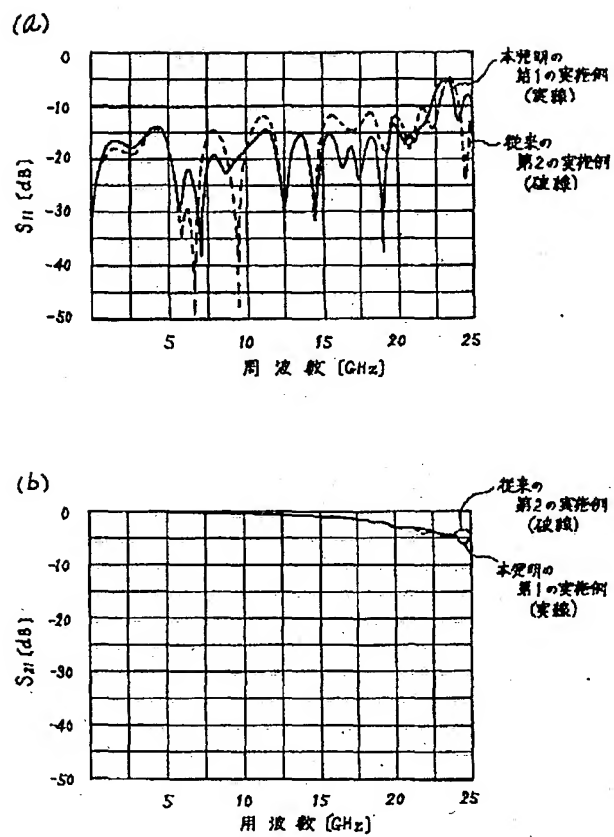
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 梅本 毅
東京都港区芝五丁目7番1号日本電気株式
会社内

(72)発明者 宮 龍也
東京都港区芝五丁目7番1号日本電気株式
会社内